实验二 运算部件实验：并行乘法器

1. 实验目的
   1. 掌握原码并行乘法器的基本原理。
   2. 掌握带求补器的补码阵列乘法器的基本原理。
2. 实验原理
   1. 不带符号的阵列乘法器

设有两个不带符号的二进制整数：

A＝am－1…a1a0

B＝bn－1…b1b0

它们的数值分别为a和b,即

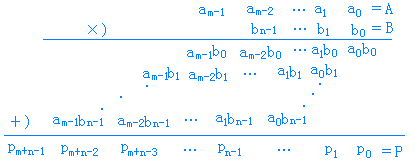


被乘数A与乘数B相乘,产生m+n位乘积P：

P＝pm＋n－1…p1p0

实现这个乘法过程所需要的操作和人们的习惯方法非常类似，如下图所示：

图2-1 二进制乘法



根据这个算法，并行乘法器需要若干与门组成的与阵列得到aibj,还需要全加器构成一个乘法阵列，完成相应与项的求和，最终得到乘积P。并行乘法器的硬件结构如图2-2所示。

被乘数

A＝am－1…a1a0

被乘数

B＝bn－1…b1b0

与阵列

m×n

乘法阵列

am-1bn-1

**……**

a1b1

a0b0

P=pm+n+1 …… p1 p0

被加数产生部件

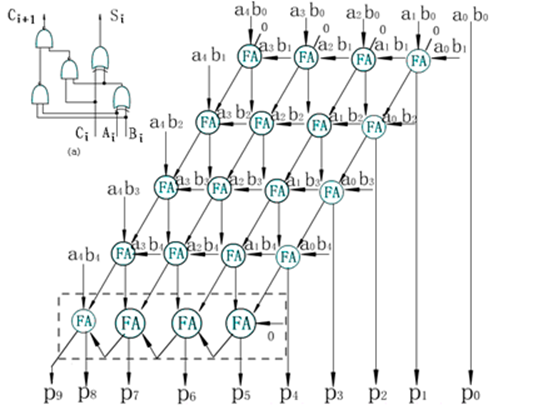
被加数求和部件

乘积寄存器

图2-2并行乘法器的硬件结构如图

被乘数、乘数寄存器

其内部结构及工作原理以5x5并行乘法器为例，如图5-3所示。

  
图2-3 5x5不带符号的阵列乘法逻辑电路图

* 1. 带符号的阵列乘法器

无符号乘法器不考虑数的符号，即把所有的数都认为是正数。实际中机器数的表示法有原码、反码、补码等，为了便于加减运算通常采用补码表示，即正数符号位是0，数值位与原码相同，负数的符号位是1，数值位取反，末位加1。所谓带符号阵列乘法器实质上就是包括符号在内的补码乘法器。对带符号的阵列乘法器的结构来说，可以采用先补码求补得到原码，再用无符号阵列乘法器做运算，最后把结果求补得到补码。算术运算部件设计中经常用到的求补电路如图5-4所示。 当E=1求补，E=0不求补。

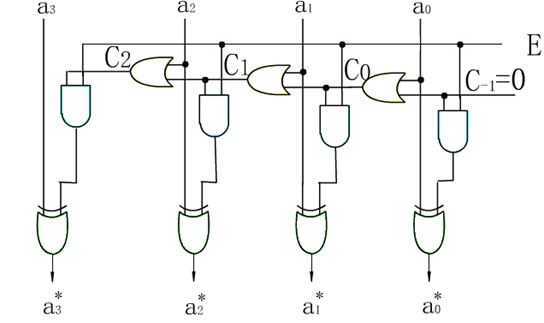


图2-4 对2求补电路图

带符号的阵列乘法器(n＋1)×(n＋1)位带求补器的阵列乘法器如图5-5所示。被乘数A和B均以补码表示，其中an是A的符号位，bn是B的符号位。an和bn接两个求补器的E端，当为正数的时候不求补，当为负数的时候求补，得到真值，an和bn异或得到结果的符号位，同时作为算后求补器的E端控制是否求补，最终得到乘积的补码输出。

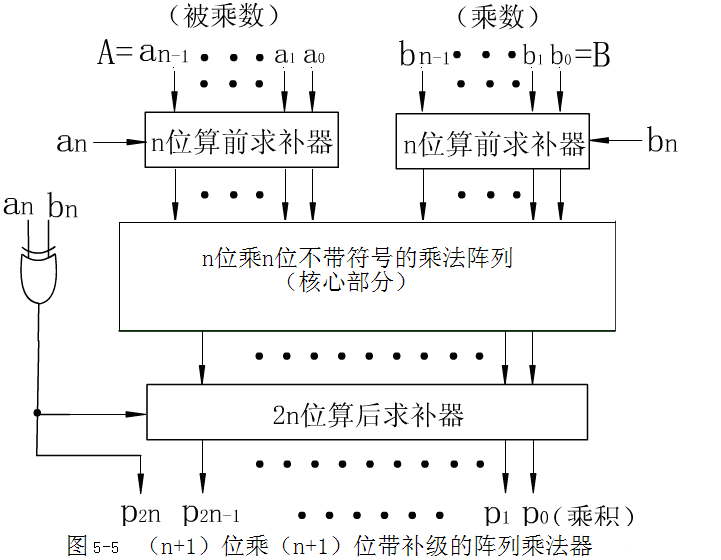


图2-5（ n+1）位乘（n+1）位带补级的阵列乘法器

1. 实验内容
   1. 设计一个4位求补器。
   2. 设计一个4×4的不带符号的阵列乘法器。
   3. 设计一个5×5的带符号的阵列乘法器。
2. 启动Quartus II，可以采用图形化设计，也可以采用VHDL语言编程设计。然后进行编译调试，最后进行仿真模拟，查看仿真结果。

补充要求：

4位求补器仿真结果   
要求包含控制信号E有求补、不求补两种情况

仿真的原数和补码均以二进制串形式出现，如0111求补器输出1001

不带符号阵列乘法器，需要用到上节课设计的加法器FA

**阵列编排方式自定，可以将与阵列、加法器阵列分开放，也可以穿插放**

（标有相同的标号的线段可视为连接线段，可不必直接相连）

输入信号为常量0时，可以使用元件中的GND

仿真结果应为无符号数形式

（1）阵列编排方式1，加法器阵列与与门阵列交错方式

（2）阵列编排方式2，通过标号连线的方式连接与门阵列和加法器阵列

带符号阵列乘法器

1、两个有符号数的最高位控制两个求补器计算出绝对值|A|、|B|

2、两个有符号数的最高位异或作为结果的符号

3、输出结果受到结果的符号控制，决定是否求补  
 4、8位求补器可以由两个4位求补器改造得来，将4位求补器最高位输出为Cout，  
 低4位的求补器Cout输出作为高4位求补器的Cin输入。

5、仿真结果用有符号数显示

如何在quartus原理图上的总线[7..0]分开成[7..4]和[3..0]？

下图位5位不带符号的阵列乘法器仿真结果（可参考） 注意：本实验为4位无符号



下图位6位有符号的阵列乘法器仿真结果（可参考） 注意：本实验为5位有符号

